

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05204479 A**

(43) Date of publication of application: **13.08.93**

(51) Int. Cl.

G05F 3/30

(21) Application number: **04012058**

(22) Date of filing: **27.01.92**

(71) Applicant: **MATSUSHITA ELECTRIC WORKS LTD**

(72) Inventor: **TERASAWA TOMIZO
KAMI HIRONORI
FUJIMURA TOSHIO
HAYASHI MASANORI**

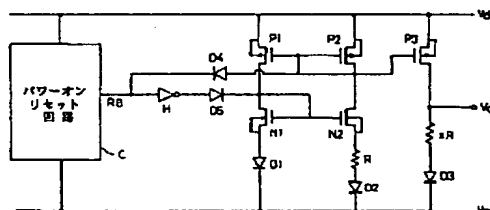
(54) CONSTANT VOLTAGE CIRCUIT

(57) Abstract:

PURPOSE: To shorten time until obtaining prescribed output voltage after power supply in a band gap constant voltage circuit constructed by combining PMOS transistors, NMOS transistors, diodes and resistances.

CONSTITUTION: In a band gap reference voltage circuit constructed by the PMOS transistors P1 to P3, the NMOS transistors N1 and N2, the diodes D1 to D3 and the resistances R and xR, prescribed voltage is supplied for the gate terminals of the respective MOS transistors P1, P2, P3 N1 and N2 by way of the diodes D4 and D5 at the time of power supply. Thus, the gate potential of the respective MOS transistors is ascertained from a primary state where power is supplied so that stable output voltage Vo can quickly be obtained.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-204479

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁵

G 0 5 F 3/30

識別記号

庁内整理番号

8938-5H

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号

特願平4-12058

(22)出願日

平成4年(1992)1月27日

(71)出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72)発明者 寺澤 富三

大阪府門真市大字門真1048番地 松下電工株式会社内

(72)発明者 上 浩則

大阪府門真市大字門真1048番地 松下電工株式会社内

(72)発明者 藤村 俊夫

大阪府門真市大字門真1048番地 松下電工株式会社内

(74)代理人 弁理士 倉田 政彦

最終頁に続く

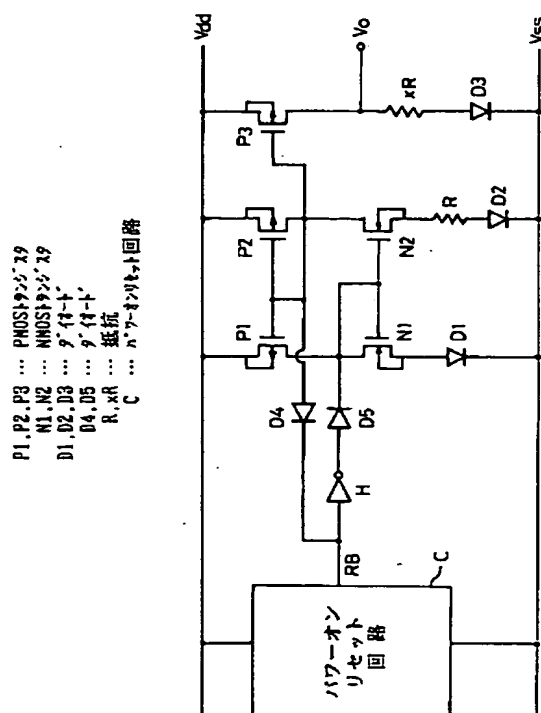
(54)【発明の名称】 定電圧回路

(57)【要約】

【目的】 PMOSTランジスタとNMOSTランジスタとダイオード及び抵抗を組み合わせて構成されるバンドギャップ定電圧回路において、電源投入後、所定の出力電圧が得られるまでの時間を短縮する。

【構成】 PMOSTランジスタP1、P2、P3とNMOSTランジスタN1、N2及びダイオードD1、D2、D3と抵抗R、xRから構成されるバンドギャップ基準電圧回路において、電源投入時に各MOSTランジスタP1、P2、P3、N1、N2のゲート端子にダイオードD4、D5を介して所定の電圧を供給するように構成した。

【効果】 電源投入された初期状態から、各MOSTランジスタのゲート電位が確定し、速やかに安定した出力電圧V_oが得られる。



【特許請求の範囲】

【請求項1】 高電位の電源端子に接続された第1及び第2のPMOSトランジスタによる第1のカレントミラー回路と、第1のカレントミラー回路に直列に接続された第1及び第2のNMOSトランジスタによる第2のカレントミラー回路を備え、第1のNMOSトランジスタのソース端子が第1のダイオードのアノード・カソード間を介して低電位の電源端子に接続され、第2のNMOSトランジスタのソース端子が第1の抵抗と第2のダイオードのアノード・カソード間を介して低電位の電源端子に接続されて定電流回路を構成し、第1及び第2のPMOSトランジスタとゲート端子が共通で、前記定電流回路に比例した電流を流し、ドレイン端子が第2の抵抗と第3のダイオードのアノード・カソード間を介して低電位側の電源端子に接続され、第3のPMOSトランジスタのドレイン端子を出力端子とするバンドギャップ基準電圧回路において、高電位の電源端子の電圧が上昇すると共に出力が低電位から高電位へと変化する起動回路と、起動回路の出力端子にカソード端子が接続され、アノード端子が前記各PMOSトランジスタのゲート端子に接続された第4のダイオードと、前記起動回路の出力電位とは高電位と低電位が反転している電位にアノード端子が接続され、カソード端子が前記各NMOSトランジスタのゲート端子に接続された第5のダイオードとを設けたことを特徴とする定電圧回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、PMOSトランジスタとNMOSトランジスタとダイオード及び抵抗を組み合わせ構成される定電圧回路に関するものであり、例えば、集積回路等の基準電圧回路として利用されるものである。

【0002】

【従来の技術】 図3は従来のバンドギャップ基準電圧回路の回路図である。この電圧源は、PMOSトランジスタP1、P2、P3とNMOSトランジスタN1、N2及びダイオードD1、D2、D3と抵抗R、xRから構成されている。図3において、第1のダイオードD1と第2のダイオードD2の接合面積比を1:Nに、また、第1の抵抗Rと第2の抵抗xRの抵抗比を1:xに設定すると、安定状態においては、 $V_o = V_f + x V_{t \ln N}$ なる出力電圧が出力端子より得られる。ここで、 V_f はダイオードの順方向電圧、 V_t はkをボルツマン定数、Tを絶対温度、qを電子電荷として、 $V_t = kT/q$ で与えられる。

【0003】

【発明が解決しようとする課題】 上述の図3に示した従来例では、高電位の電源端子V_{dd}と低電位の電源端子V_{ss}の間に電源電圧を印加することにより、安定状態では、所定の出力電圧V_oが出力端子から得られるよう

に構成されている。ところが、この従来例にあつては、電源投入直後の初期状態において、PMOSトランジスタP1、P2、P3やNMOSトランジスタN1、N2のゲート電位が確定せず、速やかに出力電圧V_oが得られないという欠点があった。

【0004】 本発明は上述のような点に鑑みてなされたものであり、その目的とするところは、PMOSトランジスタとNMOSトランジスタとダイオード及び抵抗を組み合わせ構成されるバンドギャップ定電圧回路において、電源投入後、所定の出力電圧が得られるまでの時間を短縮することにある。

【0005】

【課題を解決するための手段】 本発明の定電圧回路では、上記の課題を解決するために、図1に示すように、高電位の電源端子V_{dd}に接続された第1及び第2のPMOSトランジスタP1、P2による第1のカレントミラー回路と、第1のカレントミラー回路に直列に接続された第1及び第2のNMOSトランジスタN1、N2による第2のカレントミラー回路を備え、第1のNMOSトランジスタN1のソース端子が第1のダイオードD1のアノード・カソード間を介して低電位の電源端子V_{ss}に接続され、第2のNMOSトランジスタN2のソース端子が第1の抵抗Rと第2のダイオードD2のアノード・カソード間を介して低電位の電源端子V_{ss}に接続されて定電流回路を構成し、第1及び第2のPMOSトランジスタP1、P2とゲート端子が共通で、前記定電流回路に比例した電流を流し、ドレイン端子が第2の抵抗xRと第3のダイオードD3のアノード・カソード間を介して低電位側の電源端子V_{ss}に接続され、第3のPMOSトランジスタP3のドレイン端子を出力端子V_oとするバンドギャップ基準電圧回路において、高電位の電源端子V_{dd}の電圧が上昇すると共に出力が低電位から高電位へと変化する起動回路と、この起動回路の出力端子にカソード端子が接続され、アノード端子が前記各PMOSトランジスタP1、P2、P3のゲート端子に接続された第4のダイオードD4と、前記起動回路の出力電位とは高電位と低電位が反転している電位にアノード端子が接続され、カソード端子が前記各NMOSトランジスタN1、N2のゲート端子に接続された第5のダイオードD5とを設けたことを特徴とするものである。

【0006】

【作用】 本発明の定電圧回路では、上記のように、PMOSトランジスタP1、P2、P3とNMOSトランジスタN1、N2及びダイオードD1、D2、D3と抵抗R、xRから構成されるバンドギャップ基準電圧回路において、電源投入時に各MOSトランジスタP1、P2、P3、N1、N2のゲート端子にダイオードD4、D5を介して所定の電圧を供給するようにしたので、電源投入された初期状態から、速やかに安定した出力電圧

V_o が得られるものである。

【0007】

【実施例】図1は本発明の一実施例の回路図である。以下、その回路構成について説明する。高電位の電源端子 V_{dd} には、PMOSTランジスタ P_1 、 P_2 、 P_3 の各ソース端子が接続されている。各PMOSTランジスタ P_1 、 P_2 、 P_3 のゲート端子は共通接続されている。第1のPMOSTランジスタ P_1 のドレイン端子は、第1のNMOSTランジスタ N_1 のドレイン端子に接続されている。第2のPMOSTランジスタ P_2 のドレイン端子は、第2のNMOSTランジスタ N_2 のドレイン端子に接続されている。各NMOSTランジスタ N_1 、 N_2 のゲート端子は、第1のPMOSTランジスタ P_1 のドレイン端子に接続されており、各PMOSTランジスタ P_1 、 P_2 、 P_3 のゲート端子は、第2のNMOSTランジスタ N_2 のドレイン端子に接続されている。第1のNMOSTランジスタ N_1 のソース端子は、第1のダイオード D_1 のアノード端子に接続されており、第2のNMOSTランジスタ N_2 のソース端子は、第1の抵抗 R を介して第2のダイオード D_2 のアノード端子に接続されている。第1のダイオード D_1 と第2のダイオード D_2 の接合面積比は1:Nに設定されている。第1のダイオード D_1 と第2のダイオード D_2 の各カソード端子は、低電位の電源端子 V_{ss} に接続されている。第3のPMOSTランジスタ P_3 のドレイン端子は、第2の抵抗 xR を介して、ダイオード D_3 のアノード端子に接続されており、ダイオード D_3 のカソード端子は低電位の電源端子 V_{ss} に接続されている。出力端子には、第3のPMOSTランジスタ P_3 のドレイン端子と第2の抵抗 xR の接続点の電圧 V_o が出力電圧として出力される。高電位の電源端子 V_{dd} と低電位の電源端子 V_{ss} の間には、パワーオンリセット回路Cが接続されている。パワーオンリセット回路Cの出力 RB には、第4のダイオード D_4 のカソード端子が接続されている。第4のダイオード D_4 のアノード端子は、各PMOSTランジスタ P_1 、 P_2 、 P_3 のゲート端子に接続されている。パワーオンリセット回路Cの出力には、インバータ回路Hの入力端子が接続されている。インバータ回路Hの出力端子には、第5のダイオード D_5 のアノード端子が接続されている。第5のダイオード D_5 のカソード端子は、各NMOSTランジスタ N_1 、 N_2 のゲート端子に接続されている。

【0008】図2はパワーオンリセット回路Cの構成を例示している。第4のPMOSTランジスタ P_4 のソース端子は高電位の電源端子 V_{dd} に接続され、ゲート端子は抵抗 R_1 を介して高電位の電源端子 V_{dd} に接続され、ソース端子は抵抗 R_2 を介して低電位の電源端子 V_{ss} に接続されている。第4のPMOSTランジスタ P_4 のゲート端子と抵抗 R_1 の接続点は、ダイオードアレイド a のアノード端子に接続されている。ダイオードア

レイ D_a のカソード端子は低電位の電源端子 V_{ss} に接続されている。PMOSTランジスタ P_4 のドレイン端子は、パワーオンリセット信号 RB の出力となっている。

【0009】以下、本実施例の動作について説明する。電源投入時、高電位の電源端子 V_{dd} の電位がダイオードアレイド a の電圧降下よりも小さいときには、ダイオードアレイド a が非導通状態であるので、抵抗 R_1 による電圧降下は無く、PMOSTランジスタ P_4 のゲート端子はソース端子と同一電位であり、PMOSTランジスタ P_4 は非導通状態となる。したがって、抵抗 R_2 には電圧降下は無く、パワーオンリセット信号 RB は低電位の電源端子 V_{ss} の電位となっている。その後、高電位の電源端子 V_{dd} の電位がダイオードアレイド a の電圧降下よりも大きくなると、ダイオードアレイド a が導通状態となるので、抵抗 R_1 による電圧降下が生じ、PMOSTランジスタ P_4 のゲート端子はソース端子よりも低電位となり、その電位差がPMOSTランジスタ P_4 のスレショルド電圧を越えると、PMOSTランジスタ P_4 は導通状態となる。これにより、抵抗 R_2 による電圧降下が生じて、パワーオンリセット信号 RB は高電位の電源端子 V_{dd} の電位となる。

【0010】上述のように、電源投入直後には、パワーオンリセット回路Cの出力信号 RB は V_{ss} となり、インバータ回路Hと第5のダイオード D_5 を介してNMOSTランジスタ N_1 、 N_2 のゲート端子には電圧 V_{dd} が印加され、PMOSTランジスタ P_1 、 P_2 、 P_3 のゲート端子には、第4のダイオード D_4 を介して電圧 V_{ss} が印加され、それぞれのMOSTランジスタのゲート電位が確定する。これにより、バンドギャップ基準電圧回路は、速やかに起動し、所定の出力電圧 V_o が得られる。その後、パワーオンリセット回路Cの出力信号 RB は V_{dd} となり、第4及び第5のダイオード D_4 、 D_5 を介してのPMOSTランジスタ P_1 、 P_2 、 P_3 、NMOSTランジスタ N_1 、 N_2 のゲート端子への電圧印加は停止されるため、バンドギャップ基準電圧回路への影響は無くなり、定電圧回路として安定な動作が得られる。

【0011】

【発明の効果】本発明によれば、電源投入時、バンドギャップ基準電圧回路のMOSTランジスタのゲート端子に電圧を印加し、所定の出力電圧が得られた安定動作後は、基準電圧回路への影響の無くなるような起動回路を付加することで、電源投入後、速やかに所定の出力電圧が得られる定電圧回路を実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の回路図である。

【図2】本発明の一実施例に用いるパワーオンリセット回路の回路図である。

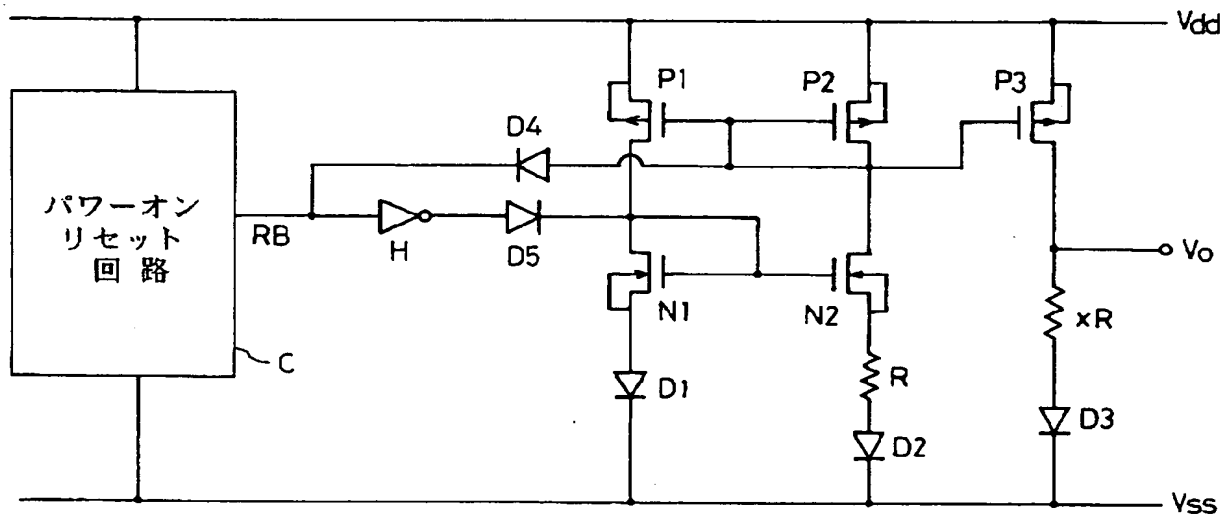
【図3】従来例の回路図である。

【符号の説明】

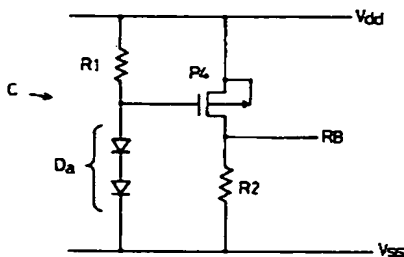
P 1	PMOSトランジスタ	D 3	第3のダイオード
P 2	PMOSトランジスタ	D 4	第4のダイオード
P 3	PMOSトランジスタ	D 5	第5のダイオード
N 1	NMOSトランジスタ	C	パワーオンリセット回路
N 2	NMOSトランジスタ	H	インバータ回路
D 1	第1のダイオード	R	第1の抵抗
D 2	第2のダイオード	x R	第2の抵抗

【図1】

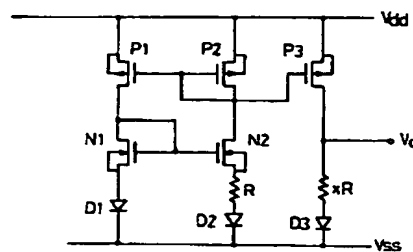
P1, P2, P3 ... PMOSトランジスタ
 N1, N2 ... NMOSトランジスタ
 D1, D2, D3 ... ダイオード
 D4, D5 ... ダイオード
 R, xR ... 抵抗
 C ... パワーオンリセット回路



【図2】



【図3】



フロントページの続き

(72)発明者 林 雅則

大阪府門真市大字門真1048番地 松下電工
株式会社内